

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-197603

(43) 公開日 平成10年(1998) 7月31日

(51) Int. Cl. ⁵	識別記号	F I	
G 0 1 R 31/28		G 0 1 R 31/28	G
G 0 6 F 11/22	3 6 0	G 0 6 F 11/22	3 6 0 P
		G 0 1 R 31/28	V

審査請求 未請求 請求項の数 5 O L (全 8 頁)

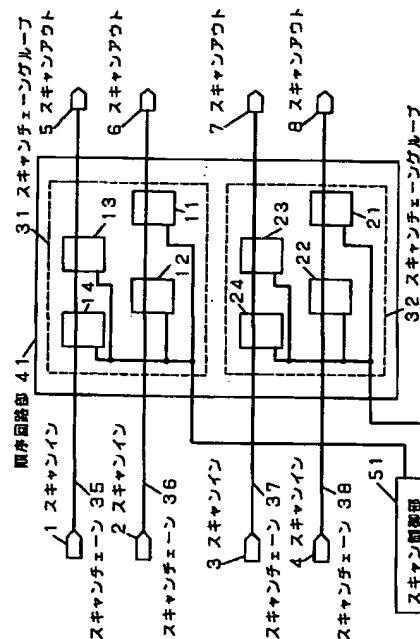
(21) 出願番号	特願平9-2020	(71) 出願人	000005821 松下電器産業株式会社 大阪府門真市大字門真1006番地
(22) 出願日	平成9年(1997) 1月9日	(72) 発明者	市川 修 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(72) 発明者	太田 光保 大阪府門真市大字門真1006番地 松下電器 産業株式会社内
		(74) 代理人	弁理士 滝本 智之 (外1名)

(54) 【発明の名称】 半導体集積回路および半導体集積回路の検査方法

(57) 【要約】

【課題】 スキャン設計された半導体集積回路において、スキャンテスト時の消費電力を削減する。

【解決手段】 順序回路部 41 は、スキャンチェーングループ 31 と 32 を備え、スキャンチェーングループ 31 と 32 はそれぞれ、1つ以上のスキャンチェーンから構成されている。検査時において、スキャン制御部 51 は、スキャンチェーングループ 31 と 32 に対して、それぞれ選択的にシフト動作のクロックを供給する。



【特許請求の範囲】

【請求項1】 複数のスキャンチェーンを備えた半導体集積回路において、前記各スキャンチェーンに対して選択的にシフト動作のクロックを供給することを特徴とする半導体集積回路。

【請求項2】 順序回路部と、スキャン制御部とを備え、

前記順序回路部は、複数のスキャンチェーングループを有し、

前記各スキャンチェーングループは、1つ以上のスキャンチェーンから構成され、

前記スキャン制御部は、前記各スキャンチェーングループに対してシフト動作のクロックを選択的に供給可能に構成されたことを特徴とする半導体集積回路。

【請求項3】 請求項2記載の半導体集積回路における回路の検査方法であって、

検査時において、各スキャンチェーングループに対して選択的にシフト動作のクロックを供給するとともに、スキャンチェーンを構成するスキャンフリップフロップへの値の設定またはスキャンフリップの値の読み出しを行なうことを特徴とする半導体集積回路の検査方法。

【請求項4】 異なるスキャンチェーングループに属する複数のスキャンチェーンの、スキャンインピンまたはスキャンアウトピンに対応する外部ピンと、

前記複数のスキャンチェーンのうち、現在スキャン制御部によって選択的にシフト動作のクロックが供給されているスキャンチェーンのスキャンアウトピンと、前記外部ピンとを論理的に接続するデータ制御部とを備えたことを特徴とする請求項2記載の半導体集積回路。

【請求項5】 同時にシフト動作のクロックが供給されることのないスキャンチェーン同士で、スキャンインまたはスキャンアウトのための外部ピンを共有するよう構成された請求項1記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スキャン設計された半導体集積回路およびこの回路における検査方法、特に検査時における省電力化に関する。

【0002】

【従来の技術】半導体集積回路の消費電力を増大させる要因として、回路中のクロック、フリップフロップの動作によるものが挙げられる。このため、使用されていない機能ブロックへのクロック供給を止め、同時に動作しているブロックを削減することで、半導体集積回路の省電力化が図られている。

【0003】一方、製造された半導体集積回路に故障が無いかどうか検査する方法として、予め作成しておいたテストデータを入力した際に、所定の出力が得られるかどうかで判別する方法が広く知られている。この際、回路中のフリップフロップの値を、外部から設定または観

測し易くするために、フリップフロップの一部または全部をスキャンフリップフロップに置き換える、いわゆるスキャン設計が行なわれる。

【0004】図6に従来のスキャンチェーンを用いた半導体集積回路の一例を示す。スキャンフリップフロップ11～14は、スキャンチェーン33を構成し、クロック生成部90から生成されるクロック91によって、スキャンイン10からテストデータがスキャンインされ、スキャンアウト30からスキャンアウトされる。

【0005】また、スキャンフリップフロップ21～24は、スキャンチェーン34を構成し、クロック生成部90から生成されるクロック92によって、スキャンイン20からテストデータがスキャンインされ、スキャンアウト40からスキャンアウトされる。

【0006】例えば、スキャンイン10からテストデータ1010が与えられ、スキャンイン20からテストデータ0011が与えられると、これらのテストデータの値は、それぞれ同時に、各々のスキャンチェーンを構成するスキャンフリップフロップに設定される。スキャンチェーン33を構成するスキャンフリップフロップ11～14は、スキャンフリップフロップ11から14にそれぞれ順に1、0、1、0の値が設定され、同時にスキャンチェーン34を構成するスキャンフリップフロップ21～24に対して、スキャンフリップフロップ21から24にそれぞれ、順に0、0、1、1の値が設定される。

【0007】また、テストデータが与えられる前にスキャンフリップフロップに格納されていた値は、スキャンアウトから順番に出力される。

【0008】このように従来のスキャンチェーンを用いた半導体集積回路では、検査時に各々のスキャンチェーンに対して、一斉にクロックを動かし、テストデータのスキャンイン、スキャンアウトが行われている。

【0009】

【発明が解決しようとする課題】スキャン設計がなされた半導体集積回路では、検査時に回路中のクロックが一斉に動き、すべてのスキャンフリップフロップが同時に動作するために、検査時における回路の消費電力が大きくなる。

【0010】使用されていない機能ブロックのクロックを止めることによって、省電力化がなされている半導体集積回路に対して、上記のようなスキャンテスト方法を適用すると、通常動作以上の電力を消費することとなり、回路が誤動作したり、最悪の場合には回路が破壊される恐れがある等の問題点があった。

【0011】また、電源線を太くすることで一斉に動作させることも可能であるが、その場合、回路面積が大きくなる問題点がある。

【0012】上記問題点に鑑み、本発明は、スキャン設計された半導体集積回路において、検査時の消費電力を

低く抑えることを目的とする。

【0013】

【課題を解決するための手段】この課題を解決するために、本発明は、回路中のスキャンチェーンを、複数のスキャンチェーングループにグループ化し、検査時には、スキャンチェーングループ毎に選択的にシフト動作のクロックを供給することで、同時に動作するスキャンフリップフロップの数を削減することを特徴とする。

【0014】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0015】（実施の形態1）図1は本発明の実施の形態1における半導体集積回路の構成を示す図である。同図に示すように、順序回路部41において、スキャンチェーングループ31とスキャンチェーングループ32を定義する。

【0016】スキャンチェーングループ31は、スキャンチェーン35とスキャンチェーン36から成り、スキャンチェーングループ32は、スキャンチェーン37とスキャンチェーン38から成る。

【0017】スキャンチェーン35は、スキャンフリップフロップ13、14で構成される。同様に、スキャンチェーン36はスキャンフリップフロップ11と12で、スキャンチェーン37はスキャンフリップ23と24で、スキャンチェーン38はスキャンフリップフロップ21と22で構成される。

【0018】スキャン制御部51は、検査時において、スキャンチェーングループ31、32のそれぞれに選択的にシフト動作のクロックを供給する。

【0019】以上の様に構成された本実施形態の半導体集積回路における検査の手順を、図2に示すフローチャートに沿って説明する。

【0020】まず、ステップST11において、テストデータのスキャンイン処理が完了していないスキャンチェーンが回路中に存在するか否かを判断する。

【0021】存在すれば、ステップST12に進み、存在しなければステップST14に進む。

【0022】ここでは、まだ1つのスキャンチェーンも処理していないので、ステップST12に進む。

【0023】ステップST12では、回路中のスキャンチェーングループの一つにテストクロックを与え、テストデータのスキャンイン処理を行う。

【0024】ここでは、スキャンチェーングループ31を選択したものとす。スキャン制御部51は、スキャンチェーングループ31を構成するスキャンチェーン35および36に対してのみ、シフト動作のクロックを供給する。

【0025】これによって、スキャンチェーン35、36には、それぞれスキャンイン1、2からテストデータがスキャンイン処理され、スキャンフリップフロップ1

1～14に値が設定される。

【0026】次に、ステップST13において、ステップST12でスキャンイン処理が完了したスキャンチェーングループに対するテストクロックを止めることで、スキャンチェーングループに含まれるスキャンチェーンを構成するすべてのスキャンフリップフロップの値を保持する。

【0027】本実施形態では、スキャンフリップフロップ11～14の値の設定が完了すれば、スキャン制御部51からの、スキャンチェーングループ31に対するシフト動作のクロックの供給が止まり、スキャンフリップフロップ11～14のスキャンフリップフロップの値が保持される。

【0028】これら、図2のステップST11～ステップST13までを、回路中の全てのスキャンチェーングループに対してテストデータがスキャンイン処理されるまで繰り返し行う。

【0029】再びステップST11において、テストデータのスキャンイン処理が完了していないスキャンチェーングループが存在するかどうか判断する。本実施形態では、スキャンチェーングループ32に対するスキャンイン処理が完了していないので、ステップST12に進む。

【0030】ステップST12では、スキャンチェーングループ32を構成するスキャンチェーン37、38に対してのみ、スキャン制御部51からシフト動作のクロックが供給される。これによって、スキャンイン3、4からテストデータがスキャンイン処理され、スキャンフリップフロップ21～24に値が設定される。

【0031】次にステップST13において、スキャンチェーングループ32に対するシフト動作のクロック供給を止めることで、スキャンチェーン37、38を構成するスキャンフリップに設定された値が保持される。

【0032】これで回路中の全てのスキャンチェーングループに対してテストデータがスキャンイン処理されたことになるので、ステップST11からステップST14に進む。

【0033】ステップST14では、スキャンイン処理が完了した全てのスキャンチェーングループについて、一つのスキャンチェーングループ毎に順々にスキャンアウト処理を行う。

【0034】まず、スキャンチェーングループ31に対して、スキャン制御部51からシフト動作のクロックを供給してスキャンアウト処理を行ない、スキャンアウト5、6からテスト結果のデータを観測する。次にスキャンチェーングループ32に対して同様にスキャンアウト処理を行ない、スキャンアウト7、8でテスト結果のデータを観測する。

【0035】次に、ステップST15において、そのまま検査を終了するか、ステップST11に戻るかを判断

する。終了と判断されると、検査が終了する。

【0036】上述のように、本実施形態によれば、一つのスキャンチェングループごとに順々にテストデータのスキャンイン処理、スキャンアウト処理を行うことで、同時に動作する回路中のスキャンフリップフロップの数、クロックを減少させ、検査時の消費電力を抑制することができる。

【0037】また、検査時の消費電力に合わせて電源線を太くする必要がないため、回路面積の増加を抑えることが可能となる。

【0038】なお、本実施形態では、テストデータのスキャンイン処理、スキャンアウト処理は全てのスキャンチェングループについて行う検査方法を説明したが、半導体回路内に仮定された故障を検出するために必要なスキャンチェングループに対してのみ、テストデータのスキャンイン処理、スキャンアウト処理を行った場合でも、本実施形態と同様の効果が得られる。

【0039】(実施の形態2) 図3は本発明の実施の形態2における半導体集積回路の構成を示す図である。図3において、第1の実施形態における図1の半導体集積回路と同様の部分については同じ番号を付し、説明を省略する。

【0040】データ制御部52は、スキャンチェーン35とスキャンチェーン37のスキャンインピンを外部入力ピンであるスキャンイン61に、スキャンアウトピンを外部入力ピンであるスキャンアウト63に、それぞれ論理的に接続する。

【0041】また、データ制御部52は、スキャンチェーン36とスキャンチェーン38のスキャンインピンを外部入力ピンであるスキャンイン62に、スキャンアウトピンを外部入力ピンであるスキャンアウト64に論理的に接続する。

【0042】以上の様に構成された半導体集積回路において、実施の形態1と同様に図2に示すフローチャートに沿ってスキャンイン処理、スキャンアウト処理を行なう。

【0043】テストデータのスキャンインおよびスキャンアウトはスキャングループ毎に順に行われるため、異なるスキャングループのスキャンチェーン35およびスキャンチェーン37のスキャンチェーンには同時にスキャンインおよびスキャンアウトされることがない。

【0044】よって、これらのスキャンチェーンのスキャンインピンおよびスキャンアウトピンは共有して、それぞれスキャンイン61、スキャンアウト63を利用することができる。

【0045】また、同様に、スキャンチェーン36およびスキャンチェーン38のスキャンチェーンには同時にスキャンインおよびスキャンアウトされることがないので、これらのスキャンチェーンのスキャンインピンおよびスキャンアウトピンは共有して、それぞれスキャンイン

ン62、スキャンアウト64を利用することができる。

【0046】このように、異なるスキャンチェングループのスキャンインピン同士、異なるスキャンチェングループのスキャンアウトピン同士を共有して使用することで、回路の外部入出力ピンの数を少なくすることが可能である。

【0047】なお、本実施形態では、データ制御部52にはネットの分岐を利用したが、図4に示すように、データ制御部52に出力ピンを選択する選択回路71、72を設けても、本実施形態と同様の効果が得られる。

【0048】(実施の形態3) 図5は、本発明の第3の実施の形態における半導体集積回路の構成を示す図である。同図において、図1と同じ部分については同一の番号を付し、説明を省略する。

【0049】データ制御部52は、スキャンチェーン35のスキャンアウトピンとスキャンチェーン37のスキャンインピンを共通のスキャンインアウト81に、スキャンチェーン36のスキャンアウトピンとスキャンチェーン38のスキャンインピンを共通のスキャンインアウト82に、スキャンチェーン35のスキャンインピンとスキャンチェーン37のスキャンアウトピンを共通のスキャンインアウト83に、スキャンチェーン36のスキャンインピンとスキャンチェーン38のスキャンアウトピンを共通のスキャンインアウト84に、それぞれ入出力切替え回路55、56、57、58を介して、論理的に接続する。

【0050】テストデータのスキャンインおよびスキャンアウトはスキャングループごとに順に行われるため、異なるスキャングループのスキャンチェーン35のスキャンアウトと、スキャンチェーン37のスキャンインは同時起こらない。

【0051】従って、入出力切り替え回路55を介してこれらの出力および入力を適宜切り替えることで、一つの入出力ピンスキャンインアウト81で兼用することが可能となる。

【0052】同様に、スキャンチェーン36のスキャンアウトとスキャンチェーン38のスキャンイン、スキャンチェーン35のスキャンインとスキャンチェーン37のスキャンアウト、およびスキャンチェーン36のスキャンインとスキャンチェーン38のスキャンアウトを、1つの入出力ピンで共有して使用することが可能である。

【0053】このように、異なるスキャンチェングループのスキャンインピンとスキャンアウトピンとを共有して使用することで、回路の外部入出力ピンの数を少なくすることが可能である。

【0054】

【発明の効果】 以上のように、本発明は、スキャンチェングループ毎に順々にテストデータのスキャンイン、スキャンアウトを行うことで、同時に動作する回路中の

スキャンフリップフロップの数、クロックを減少させ、検査時の消費電力を抑制することが可能とである。また、検査時の消費電力を低く抑えることができるため、電源線を細くすることが可能となり、回路面積を削減することができる。

【0055】更に、スキャンイン、スキャンアウトをスキャンチェングループごとに順に行う際に、同時に使用されないスキャンチェーンの外部入出力ピンを共有することで、外部ピン数の増加を防ぐことができる。

【図面の簡単な説明】

【図1】第1の実施形態における半導体集積回路の構成図

【図2】第1の実施形態における検査の手順を示すフローチャート

【図3】第2の実施形態における半導体集積回路の構成図

【図4】第2の実施形態におけるデータ制御部の別の構成例を示す図

【図5】第3の実施形態における半導体集積回路の構成図

【図6】従来のスキャンチェーンを用いた半導体集積回路の構成図

【符号の説明】

1 スキャンイン

* 2 スキャンイン

3 スキャンイン

4 スキャンイン

5 スキャンアウト

6 スキャンアウト

7 スキャンアウト

8 スキャンアウト

11 スキャンフリップフロップ

12 スキャンフリップフロップ

10 13 スキャンフリップフロップ

14 スキャンフリップフロップ

21 スキャンフリップフロップ

22 スキャンフリップフロップ

23 スキャンフリップフロップ

24 スキャンフリップフロップ

31 スキャンチェングループ

32 スキャンチェングループ

35 スキャンチェーン

36 スキャンチェーン

20 37 スキャンチェーン

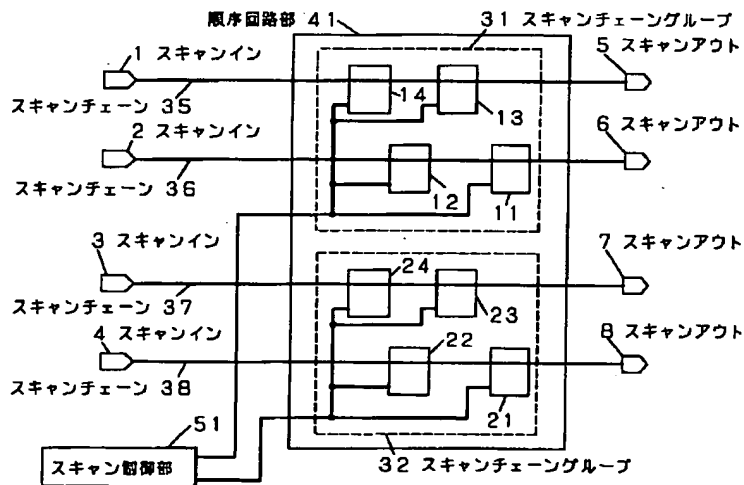
38 スキャンチェーン

41 順序回路部

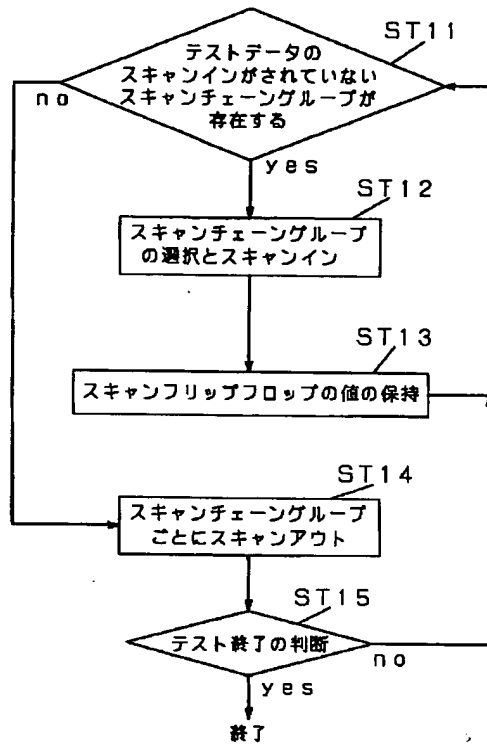
51 スキャン制御部

*

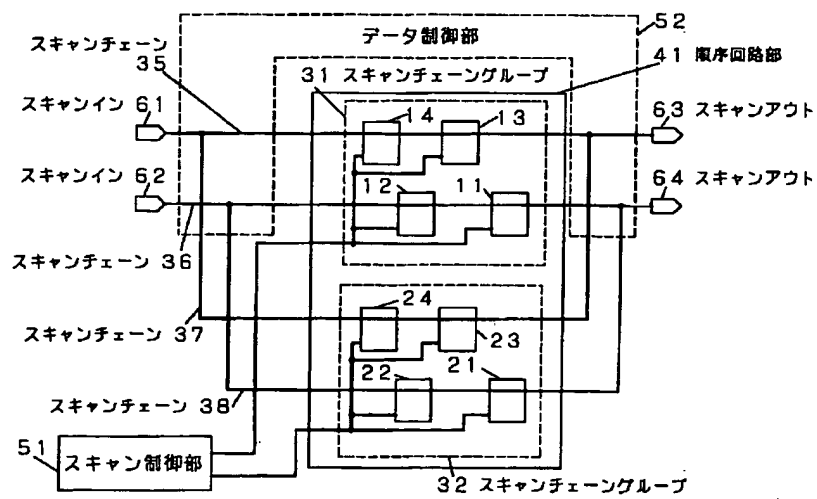
【図1】



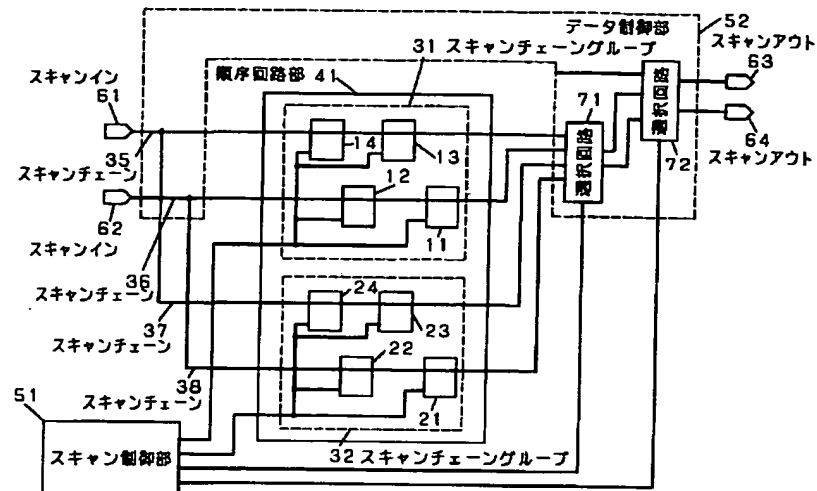
【図2】



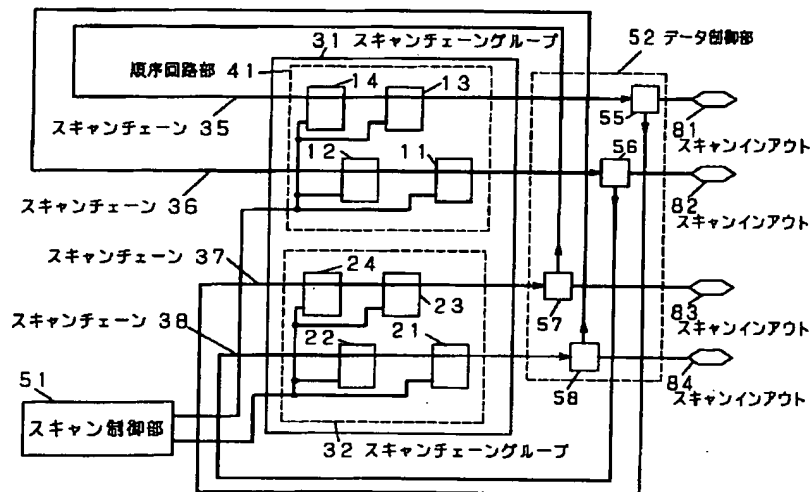
【図3】



【図4】



【図5】



【図6】

